

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237656

(43)Date of publication of application : 23.08.2002

(51)Int.Cl.

H01S 5/223
H01L 21/205

(21)Application number : 2001-031378

(71)Applicant : SONY CORP

(22)Date of filing : 07.02.2001

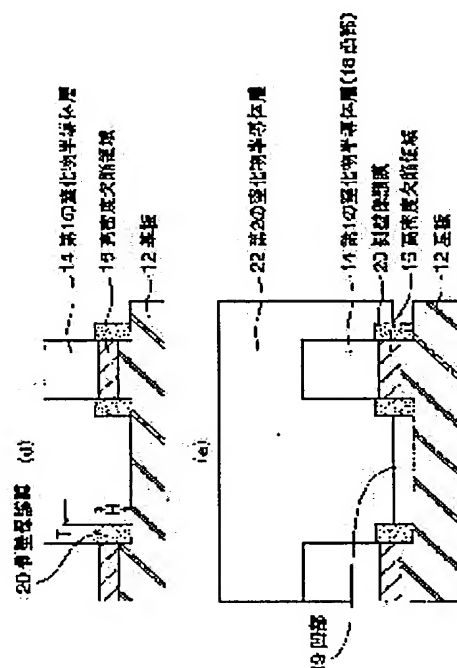
(72)Inventor : TOMITANI SHIGETAKA
HINO TOMOKIMI
YAMAGUCHI KYOJI

(54) METHOD FOR GROWING NITRIDE SEMICONDUCTOR LAYER, AND NITRIDE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for growing a nitride semiconductor layer, the crystal defect density of which is low.

SOLUTION: This method grows the nitride semiconductor layer grid-mismatched or heat-mismatched with a substrate 12 on the substrate without crystal defects. The method includes a first process for growing the first nitride semiconductor layer 14 on the substrate 12; a second process for forming a mask having a prescribed pattern on the first nitride semiconductor layer and next removing the first nitride semiconductor layer and the upper part of the substrate exposed from the mask to form recessed and projecting structure, having a projecting part 18 consisting of the first nitride semiconductor layer and the upper layer part of the substrate and a recessed part 19, which is obtained by exposing the substrate; a third process for forming a sidewall protective film 20, covering the side surface of the lower part of a projecting part at the lower part of the projecting part including a high-density crystal defect region 16 and the lower layer part of the first nitride semiconductor layer; and a fourth process of growing the second nitride semiconductor layer 22 on the recessed and projecting structure, provided with the sidewall protective film on the side surface of the lower part of the projecting part.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

る。そこで、窒化ガリウム (GaN) 系 III-V 族化合物半導体を利用した GaN 系半導体レーザ素子の研究が盛んに行われている。GaN 系化合物半導体は、その禁制帯幅が 1.9 eV から 6.2 eV にわたる直間遷移半導体であって、可視光領域から紫外光領域の波長で発光する半導体発光素子を実現できる材料として、特に緑色から青色、更には紫外光領域の領域にわたる短波長域で発光する半導体レーザ素子や発光ダイオード (LED) などを実現できる材料として注目されている化合物半導体である。

【0003】また、GaN 系化合物半導体は、FET などの電子走行素子の材料としても望ましく、例えば、GaN の飽和電子速度は約 2.5×10^8 cm/s であって、Si、GaAs 及び SiC に比べて大きく、しかも破壊電界は約 5×10^6 V/cm とダイオモンドに次ぐ大きな値を持っている。GaN 系化合物半導体は、このような優れた特性を有するので、高周波、高温、大電力用の電子走行素子の材料として有望視されている。

【0004】GaN 系化合物半導体を構成要素の少なくとも一部とする GaN 系半導体素子、即ち GaN 系半導体発光素子、或いは GaN 系電子走行素子は、一般に、基板上に成長させた GaN 系化合物半導体の層構造により構成されている。基板上に成長させた GaN 系化合物半導体層の結晶性が、GaN 系半導体素子の素子特性に大きく影響を及ぼすので、良好な素子特性を得るためには、結晶欠陥の少ない GaN 系化合物半導体の層構造を基板上に形成することが必要である。

【0005】ところで、GaN と格子整合する適当な基板が見当たらないために、GaN 系化合物半導体の成長用基板として、通常、サファイア基板が用いられているものの、サファイア基板と GaN 層の格子定数は相互に異なっていて格子不整合であり、また熱膨張係数も大きい。基板に対する GaN 系化合物半導体層の格子整合性が悪く、両者の熱膨張係数差が大きいと、基板上に成長させた GaN 系化合物半導体層に歪みが発生するため、結晶性に対して好ましくない影響が種々生じる。例えば、発生した歪みを緩和するために、GaN 系化合物半導体層中には $10^8 - 10^{10}$ /cm² の転位密度の大きな転位が導入される。

【0006】導入された転位のうち、GaN 系化合物半導体層の厚さ方向に伝播する貫通転位は、GaN 系化合物半導体層近傍に形成されるデバイス活性層にも伝播して、電流リーク箇所や非発光中心などとして働く有害な結晶欠陥になり、デバイスの電気的・光学的特性を損なう原因になる。従って、良好な素子特性を有する GaN 系半導体素子を実現するために、貫通転位の発生を抑制し、力抑制しなければならない。そこで、貫通転位を抑制する有力な方法として、エピタキシャル (Epitaxial Lateral Overgrowth) 法と呼ばれる、ELO (Epitaxial Lateral Overgrowth) 法と呼ばれている方法が、近年、開発されている。

【特許請求の範囲】

【請求項 1】 格子不整合及び熱的不整合の少なくとも一方の不整合性を基板に対して有する窒化物半導体層を基板上に成長させる方法において、

基板上に第 1 の窒化物半導体層を成長させる第 1 の工程と、

第 1 の窒化物半導体層上に所定のパターンを有するマスクを形成し、次いでマスクから露出した第 1 の窒化物半導体層及び基板の側面を除去して、基板を露出させた凹部と第 1 の窒化物半導体層及び基板の上層部からなる凸部とを有する凹凸構造を基板上に形成する第 2 の工程と、

高密度結晶欠陥領域が存在する第 1 の窒化物半導体層下層部を少なくとも含む凸部下層部、凸部下層部の側面を覆う側壁保護膜を形成する第 3 の工程と、

側壁保護膜を凸部下層部の側面に備えた凹凸構造上に第 2 の窒化物半導体層を成長させる第 4 の工程とを有することを特徴とする窒化物半導体層の成長方法。

【請求項 2】 第 3 の工程では、側壁保護膜を SiN_x 膜で形成することを特徴とする請求項 1 に記載の窒化物半導体層の成長方法。

【請求項 3】 第 3 の工程の後、第 4 の工程の前に、側壁保護膜に加えて凸部上面に上壁保護膜を形成することとを特徴とする請求項 1 又は 2 に記載の窒化物半導体層の成長方法。

【請求項 4】 上壁保護膜を SiN_x 膜で形成することとを特徴とする請求項 3 に記載の窒化物半導体層の成長方法。

【請求項 5】 基板上に形成された第 1 の窒化物半導体層及び基板の上層部からなる凸部と、基板を露出させた凹部とを有する凹凸構造を備えた基板上に、凸部の上部を埋め込むようにして形成された、第 2 の窒化物半導体層の層構造を備える窒化物半導体素子において、側壁保護膜が凸部の下部側面を覆うように凸部の下部に設けられることを特徴とする窒化物半導体素子。

【請求項 6】 凸部の下部側面を覆う側壁保護膜に加えて、凸部の上面を覆う上壁保護膜が凸部の上面に設けられることを特徴とする請求項 5 に記載の窒化物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、窒化物半導体層の側壁保護膜及び窒化物半導体素子に関し、更に詳細には、結晶欠陥の少ない結晶性の良好な窒化物半導体層を形成する方法及び結晶欠陥の少ない結晶性の良好な窒化物半導体層を備えた窒化物半導体素子に関するものである。

【0002】

【従来の技術】 光記録の分野では、光ディスクなどの光記録媒体の記録密度を向上させるために、短波長の光を発光する半導体レーザ素子の実用化が求められている。

【請求項 1】 格子不整合及び熱的不整合の少なくとも一方の不整合性を基板に対して有する窒化物半導体層を基板上に成長させる方法において、

基板上に第 1 の窒化物半導体層を成長させる第 1 の工程と、

第 1 の窒化物半導体層上に所定のパターンを有するマスクを形成し、次いでマスクから露出した第 1 の窒化物半導体層及び基板の側面を除去して、基板を露出させた凹部と第 1 の窒化物半導体層及び基板の上層部からなる凸部とを有する凹凸構造を基板上に形成する第 2 の工程と、

高密度結晶欠陥領域が存在する第 1 の窒化物半導体層下層部を少なくとも含む凸部下層部、凸部下層部の側面を覆う側壁保護膜を形成する第 3 の工程と、

側壁保護膜を凸部下層部の側面に備えた凹凸構造上に第 2 の窒化物半導体層を成長させる第 4 の工程とを有することを特徴とする窒化物半導体層の成長方法。

【請求項 2】 第 3 の工程では、側壁保護膜を SiN_x 膜で形成することを特徴とする請求項 1 に記載の窒化物半導体層の成長方法。

【請求項 3】 第 3 の工程の後、第 4 の工程の前に、側壁保護膜に加えて凸部上面に上壁保護膜を形成することとを特徴とする請求項 1 又は 2 に記載の窒化物半導体層の成長方法。

【請求項 4】 上壁保護膜を SiN_x 膜で形成することとを特徴とする請求項 3 に記載の窒化物半導体層の成長方法。

【請求項 5】 基板上に形成された第 1 の窒化物半導体層及び基板の上層部からなる凸部と、基板を露出させた凹部とを有する凹凸構造を備えた基板上に、凸部の上部を埋め込むようにして形成された、第 2 の窒化物半導体層の層構造を備える窒化物半導体素子において、側壁保護膜が凸部の下部側面を覆うように凸部の下部に設けられることを特徴とする窒化物半導体素子。

【請求項 6】 凸部の下部側面を覆う側壁保護膜に加えて、凸部の上面を覆う上壁保護膜が凸部の上面に設けられることを特徴とする請求項 5 に記載の窒化物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、窒化物半導体層の側壁保護膜及び窒化物半導体素子に関し、更に詳細には、結晶欠陥の少ない結晶性の良好な窒化物半導体層を形成する方法及び結晶欠陥の少ない結晶性の良好な窒化物半導体層を備えた窒化物半導体素子に関するものである。

【0002】

【従来の技術】 光記録の分野では、光ディスクなどの光記録媒体の記録密度を向上させるために、短波長の光を発光する半導体レーザ素子の実用化が求められている。

F I		テラード (参考)	
H 01 S 5/223		5 F 0 4 5	
H 01 L 21/205		5 F 0 7 3	
(43) 公開日		平成14年8月23日 (2002.8.23)	
(11) 特許公開番号		特開2002-237656	
		(P2002-237656A)	
(51) 特許分類		H 01 S 5/223	
(71) 出願人		ソニー株式会社	
		東京都品川区北品川6丁目7番35号	
(72) 発明者		青谷 茂雄	
		東京都品川区北品川6丁目7番35号 ソニー株式会社内	
(72) 発明者		日野 智公	
		宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内	
(74) 代理人		100095821	
		弁理士 大澤 誠 (外 1 名)	

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日野 智公
宮城県白石市白鳥三丁目30番地の2 ソニー白石エレクトロニクス株式会社内

(74) 代理人 100095821
弁理士 大澤 誠 (外 1 名)

(71) 出願人 000002185
ソニー株式会社

(72) 発明者 青谷 茂雄
東京都品川区北品川6丁目7番35号 ソニー株式会社内

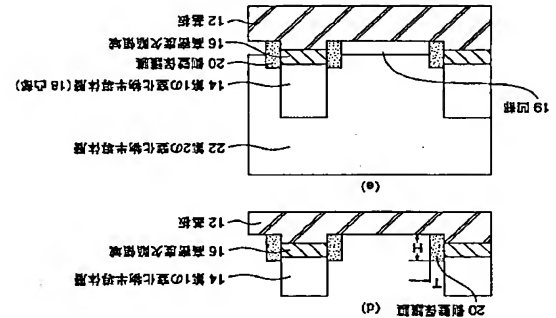
(

(54) 【発明の名称】 窒化物半導体層の成長方法及び窒化物半導体素子

(57) 【要約】

【課題】 結晶欠陥密度が低い窒化物半導体層の成長方法を提供すること。

【解決手段】 本方法は、基板 1 2 に対して格子不整合又は熱的不整合の窒化物半導体層を結晶欠陥なく基板上に成長させる方法である。本方法は、基板 1 2 上に第 1 の窒化物半導体層 1 4 を成長させる第 1 の工程と、第 1 の窒化物半導体層 1 4 を成長させる第 2 の工程と、第 1 の窒化物半導体層 1 4 を成長させる第 3 の工程と、第 1 の窒化物半導体層 1 4 を成長させる第 4 の工程とを有するマスクを形成し、次いでマスクから露出した第 1 の窒化物半導体層及び基板の上層部を除去して、第 1 の窒化物半導体層及び基板の側面を露出させた凹部 1 8 と基板を露出させた凹部 1 9 とを有する凹凸構造を基板上に形成する第 2 の工程と、高密度結晶欠陥領域 1 6 が存在する第 1 の窒化物半導体層 2 0 を形成する第 3 の工程と、側壁保護膜を凸部下層部の側面に備えた凹凸構造上に第 2 の窒化物半導体層 2 2 を成長させる第 4 の工程とを有する。



【0007】ELO法は、いわゆるマスク付きELO法とフリースタANDINGELO法（以下、FS-ELO法と言う）の2種類の方式に大別される。マスク付きELO法は、サブアライ基板上にGa_xN下地層を成長させた後、そのGa_xN下地層表面上に例えばストライプ状のマスクを形成し、マスク上から再度Ga_xN層をエビタキシャル成長させ、Ga_xNエビタキシャル成長層をマスク上の領域に横方向成長させつつ上方に成長させるようにした方法である。

【0008】FS-ELO法は、サブアライ基板上にGa_xN下地層を成長させた後、反応性イオンエッチング（RIE）法などによってGa_xN下地層のエッチングし、Ga_xN下地層上に凹凸ストライプパターンを形成する。凹凸ストライプパターンを形成する際には、基板に到達するまでGa_xN下地層を除去し、更に基板の極く上層部を除去して、基板面を露出させた凹部と、Ga_xN下地層と基板の上層部からなる凸部とのストライプ状の凹凸構造を形成する。次いで、凹凸構造上にGa_xN層をエビタキシャル成長させ、Ga_xNエビタキシャル成長層を横方向成長させて凹部を埋めつつ上方に成長させるようにした方法である。いずれの場合も、エビタキシャル成長層の横方向成長により成長した部分（以下、ウィング部（wing部）と呼ぶ）の転位密度は低いと評価されている。

【0009】【発明が解決しようとする課題】しかし、本発明者等が行ったマスク付きELO法の評価試験を行った結果で、Ga_xNエビタキシャル成長層の転位密度を出来るだけ低減させるように最適化した製膜条件下でも、ウィング部内の転位密度は $1.0^5/\text{cm}^2$ 台半程度までしか低減できなかった。また、ウィング部内でGa_xNエビタキシャル成長層の結晶軸が傾くために、そのことがGa_xNエビタキシャル成長層上に別のエビタキシャル成長層を成長させる際の支障になるという問題もあった。また、本発明者等が行ったFS-ELO法の評価試験の結果では、結晶軸が傾くという問題は大幅に改善されるものの、ウィング部内の転位密度を $1.0^5/\text{cm}^2$ 程度以下に低減することはできなかった。

【0010】一方、現在、Ga_xN系半導体レーザ素子より長波長域の発光性の高い半導体レーザ素子として実用化されているAlGaAs系、GaInP系、GaInAsP系などの半導体レーザ素子中の転位密度は $1.0^5/\text{cm}^2$ 以下であり、また、素子結晶中には結晶軸の傾きが分布するといった問題もない。従って、発光波長が短波長域のGa_xN系半導体レーザ素子に関しても、長波長域の半導体レーザ素子と同様に、転位密度が小さく、結晶軸の傾き分布がない、結晶性の良好で特許に優れたGa_xN系半導体レーザ素子の実現が望まれている。

【0011】本発明は、かかる問題点に鑑みてなされたものであって、その目的は、窒化物半導体層に対して格

子不整合及び熱的不整合の基板上に、結晶欠陥密度を例えば $1.0^5/\text{cm}^2$ 以下に低減した窒化物半導体層を成長させる方法及び窒化物半導体素子を提供することにある。

【0012】【課題を解決するための手段】本発明者は、従来技術が有する上述の課題を解決すべく、鋭意検討を行った、マスク付きELO法に比して転位密度の低いFS-ELO法により製膜したGa_xNエビタキシャル成長層のウィング部であっても、 $1.0^5/\text{cm}^2$ 程度までしか転位密度を低減できない理由を、以下の様に、明らかにすることができた。

【0013】従来のFS-ELO法では、先ず、図8(a)に示すように、基板52上に第1の窒化物半導体層54を製膜する。基板52と窒化物半導体層54との間には格子不整合や熱的不整合が存在するために、製膜する際、結晶欠陥が非常に高密度に生成している高密度欠陥領域56が、図8(b)に示すように、第1の窒化物半導体層54の基板近傍領域に形成される。尚、第1の窒化物半導体層54を製膜する前に、基板52上にGa_xN、AlNなどからなるバッファ層を製膜した場合に、高密度欠陥領域56がバッファ層の基板近傍領域に形成される。

【0014】高密度欠陥領域56に生成した欠陥種は、具体的には、積層欠陥、結晶成長面と平行に延伸する成分を有する転位ループ、及び成長方向にほぼ平行に延伸する貫通転位である。このうち、成長方向にほぼ平行に延伸する貫通転位は、高密度欠陥領域56から更に第1の窒化物半導体層54中に延伸する。例えば、サブアライ基板c面上にGa_xN層を形成させた場合、高密度欠陥領域56の厚さは $0.4\mu\text{m}$ 程度であり、貫通転位密度は $1.0^8/\text{cm}^2$ 以上である。

【0015】次いで、第1の窒化物半導体層54上にストライプ状マスク（図示せず）を形成した後、マスクを用いた反応性イオンエッチング（RIE）法によって第1の窒化物半導体層54及び基板52の上部をエッチングして、図8(c)に示すように、凹凸構造を基板面に形成する。凹凸構造の凸部を種結晶部58と呼ぶ。

【0016】続いて、種結晶部58に形成されたマスクを化学エッチング法等によって除去した後、横方向成長が主となるような成長条件で第2の窒化物半導体層62を結晶成長させることにより、図9に示すように、第2の窒化物半導体層62を種結晶部58間のウィング部60に横成長させつつ、種結晶部58上部に成長させる。ウィング部60が第2の窒化物半導体層62により形成される際に、第2の窒化物半導体層62と基板52との間には空間64が形成される。

【0017】本発明者は、上述のようにしてFS-ELO法により形成した窒化物半導体層の積層構造の断面を透過電子顕微鏡法（Transmission Electron Microscop

y:TEM）によって詳細に調べた結果、第2の窒化物半導体層62を形成する際の横方向成長によって形成されたウィング部60内では、図10に示すように、結晶欠陥が生成している。即ち、高密度欠陥領域56から基板とほぼ平行に横方向に延伸するA転位66やB転位68が形成されている。この横方向へ延伸する転位のうち、A転位66は会合部70で垂直方向に屈曲し、延伸していることが観察され、またB転位68は会合部70以外の領域で垂直方向に屈曲し、延伸していることが観察される。更に、高密度欠陥領域56から第2の窒化物半導体層62の厚さ方向に種結晶部58を貫通して延伸する貫通転位72が観察される。

【0018】このように、本発明者らは、ウィング部60内で発生している転位は、高密度欠陥領域56から延伸した転位に起因することを発見した。そして、高密度欠陥領域56に起源を有する転位の延伸を防止することにより、従来のFS-ELO法より更にウィング部内の転位密度を低減させることができることを確認した。

【0019】上記目的を達成するために、上述の如くに基づいて、本発明に係る窒化物半導体素子の製造方法に基づいて、格子不整合及び熱的不整合の少なくとも一方の不整合を基板に対して有する窒化物半導体層を基板上に成長させる方法において、基板上に第1の窒化物半導体層を成長させる第1の工程と、第1の窒化物半導体層上に所定のパターンを有するマスクを形成し、次いでマスクから露出した第1の窒化物半導体層及び基板の上層部を除去して、基板を露出させた凹部と第1の窒化物半導体層及び基板の上層部からなる凸部とを有する凹凸構造を基板面に形成する第2の工程と、高密度結晶欠陥領域が存在する第1の窒化物半導体層下層部を少なくとも含む凸部下に、凸部下の側面を覆う側壁保護膜を形成する第3の工程と、側壁保護膜を凸部下の側面に備えた凹凸構造上に第2の窒化物半導体層を成長させる第4の工程とを有することを特徴としている。

【0020】本発明方法及び本発明で、窒化物半導体層、又は窒化物系III-V族化合物半導体層とは、V族元素として窒素（N）を有するIII-V族化合物半導体層の、GaInN、AlGaInN、BN等である。また、第1及び第2の窒化物半導体層は、双方とも同じ組の半導体層でも、相互に異なる半導体層でも良い。本発明方法で、格子不整合とは、基板の格子定数と窒化物半導体層の格子定数とが異なることを言い、熱的不整合とは、基板の熱膨張係数と窒化物半導体層の熱膨張係数とが異なることを言う。また、本発明に係る窒化物半導体素子は、窒化物系エビタキシャル成長層を主たる構成要素とする半導体層からなるレーザ構造を備えたGa_xN系族化合物半導体層であって、例えば窒化物系III-V族化合物半導体レーザ素子、或いはLED等の窒化物半導体発光素子でも、また、FETなどの電子走行素子

でも良い。

【0021】本発明方法及び本発明で形成する側壁保護膜及び上壁保護膜の材料は、窒化物半導体層の成長と共に転位が延伸しないようにするために、窒化物半導体層が成長しないか、若しくは成長しにくい性質を有する材料、例えばSi₃N₄である。第1及び第2の窒化物半導体層の製膜方法には制約はなく、例えば有機金属気相成長法（Metal Organic Chemical Vapor Deposition; MOCVD）を好適に使用できる。

【0022】本発明方法及び本発明では、凸部内の高密度欠陥領域の側面が側壁保護膜によって覆われ、ウィング部内に延伸する転位の起源が絶たれているので、第1の窒化物半導体層上にエビタキシャル成長させた第2の窒化物半導体層の結晶欠陥の密度が、従来のものに比べて、大幅に低下する。

【0023】本発明に係る窒化物半導体素子は、基板上に形成された第1の窒化物半導体層及び基板の上層部からなる凸部と、基板を露出させた凹部とを有する凹凸構造を備えた基板上に、凸部の上部を埋め込むようにして形成された、第2の窒化物半導体層の積層構造を備えた窒化物半導体素子において、側壁保護膜が凸部の側面を覆うように凸部の下部に設けられていることを特徴としている。

【0024】本発明方法の好適な実施態様では、第3の工程の後、第4の工程の前に、側壁保護膜に加えて凸部上面に上壁保護膜を例えばSi₃N₄膜で形成する。また、本発明の好適な実施態様では、凸部の下部側面を覆う側壁保護膜に加えて、凸部の上面を覆う上壁保護膜が凸部の上面に設けられて、側壁保護膜及び上壁保護膜の厚さは、高密度欠陥領域からの転位の延伸を防止できる程度であり、側壁保護膜の基板面からの高さは、少なくとも高密度結晶欠陥領域の上側の境界以上の高さである。

【0025】本発明及び本発明方法の好適な実施態様では、これにより、凸部内の高密度欠陥領域の側面が側壁保護膜によって覆われ、更に、凸部上面が上壁保護膜によって覆われているので、凸部内の転位の垂直方向及び横方向の延伸が遮断されている。これにより、第1の窒化物半導体層上にエビタキシャル成長させた第2の窒化物半導体層の結晶欠陥の密度が、更に低下する。

【0026】本発明の第2の窒化物半導体層では、第2の窒化物半導体層のウィング部内の結晶欠陥密度が $1.0^5/\text{cm}^2$ 以下になっているので、第2の窒化物半導体層のウィング部上に、窒化物半導体素子を構成する窒化物半導体層を形成することにより、結晶欠陥密度が低く、結晶性が良好な窒化物半導体層を備え、結晶欠陥に起因する劣化が少なく、素子寿命が長い、良好な素子特性を有する窒化物半導体素子を実現することができる。

【0027】

【発明の実施の形態】以下に、添付図面を参照して、実

層14及び基板12の上層部からなる凸部18とを有する凹凸構造を基板面に形成する。

【0032】第2の工程で所定のパターンの保護膜マスクを形成する際、そのパターンは、形成する凹凸構造の凹部に対応する第1の窒化物半導体層14の一部を露出させる形状であれば特に限定されず、例えば、ストライプ状、千鳥状、ドット状、棋盤目状などがあげられる。また、マスク形成膜の材料には、窒化物半導体層が保護膜に成長しないか、もしくは、成長し難い性質を有する材料、例えば、SiO₂、Si₃N₄、TiN、TiO₂、Wなどを使用する。

【0033】所定のパターンを有する保護膜マスクを形成するには、まず、例えばCVD法、蒸着法、スパッタ法などの技術を用いて、第1の窒化物半導体層14上にマスク形成膜を形成し、次いでレジスト膜をマスク形成膜上に形成する。続いて、ストライプ状などの所望のパターンに露光し、現像することによって、パターンを転写したレジストパターンを形成し、形成したレジストパターンを使ってマスク形成膜をエッチングすることにより、所望のパターンを有する保護膜マスクを形成することができ、ストライプ状のパターンの場合、例えば、ストライプ幅を0.5〜2.0μm、ストライプ間隔を1μm〜2.5μmとすると、また、保護膜の厚さは、特に限定しないが、加工の容易さなどを考慮して、1μm以下が望ましい。

【0034】第2の工程で、保護膜マスクが形成されていない領域、つまり保護膜マスクから露出した領域の第1の窒化物半導体層14と基板12の上層部をエッチングによって除去する際、基板12のエッチング量は、2μm以下であり、例えば0.2μm程度が好ましい。エッチングにより形成した凸部の断面形状は、テーパ状になっているが、望ましくは垂直面になるようにする。エッチング方法として、ウェットエッチング法及びドライエッチング法などの方法が挙げられるが、望ましくは、ドライエッチング法が良い。ドライエッチング法では、具体的には、例えば、反応性イオンエッチング(RIE)法、反応性イオンビームエッチング(RIBE)法があげられるが、凸部の側壁を垂直にできる異方性エッチングが可能なエッチング法なら、いずれでもよい。

【0035】次に、図2(d)に示すように、高密度結晶欠陥領域16を含む凸部下部に、凸部下部の側面を覆う側壁保護膜20を形成する第3の工程を実施する。側壁保護膜20の厚さ(T、図2(d)参照)は、凸部18同士の間隔に依存するものの、0.05μm以上1.0μm以下である。また、側壁保護膜20の基板面から高さ(H、図1(c)参照)は、少なくとも高密度結晶欠陥領域16の側面を覆う高さであって、凸部下部の側壁16の厚さを例えば0.4μmとすると、第2の工程で基板一部を0.2μm程度エッチングした場合、

【0036】側壁保護膜20の材料としては、窒化物半導体が成長し難い、もしくは、成長し難い性質を有する材料、例えば、SiO₂、Si₃N₄、TiN、TiO₂、Wなどが挙げられ、好適にはCVD法により製造するSINである。側壁保護膜20を形成するには、まず、例えば、CVD法、蒸着法、スパッタ法などの製膜技術を用いて基板全面に側壁保護膜形成用の膜を形成し、次いで既知のフォトリソグラフィ技術とエッチング加工によってSiO₂膜をパターンニングして、ストライプ幅1.6μm幅、ストライプ間隔2μmのパターンを有する保護膜マスク(図示せず)を形成する。続いて、RIE法によって保護膜マスクから露出した第1の窒化物半導体層14を、更に基板12の上層部を0.2μmの深さだけ垂直エッチングして、凹凸構造を形成する。次いで、CF₄ガスとO₂ガスにより、凸部のSiO₂膜の保護膜マスクを除去し、図1(c)に示すように、

凹凸構造を形成する。

【0041】次いで、フォトリソグラフィ処理及びエッチング加工によって、凹凸構造の凹部のみに、CVD法によって約0.5μm厚のSi₃N₄膜(図示せず)を形成する。更に、凹部のSi₃N₄膜をエッチングして、図2(d)に示すように、厚さ0.2μmで基板面から高さが0.6μmの側壁保護膜20を凸部下部の側面に高密度欠陥領域16を覆うように形成する。

【0042】再度、MOCVD装置反応室内に基板をセットし、温度を1050℃で、原料ガスにTMG、アンモニア及びシランガスを用い、1×10¹⁸/cm²の濃度でSiをドーピングしたGa_{0.5}Nよりなる第2の窒化物半導体層22を5μmの膜厚で成長させ、図2(e)に示すように、積層構造を形成する。

【0043】本実施例で得た図2(e)に示す積層構造の欠陥構造は、図3に示すように、貫通転位24は存在するものの、図10に示す従来の窒化物半導体層のウェーリング部に発生していた転位Aや転位Bの発生確率は極めて低く、ウェーリング部(凸部18同士の間の部分)内の結晶欠陥密度が極めて低くなっている。これは、凸部内の高密度欠陥領域16の側面に側壁保護膜20によって覆われていて、高密度欠陥領域16で発生した転位がウェーリング部に伝染するのが、絶たれているからである。よって、本発明方法を適用することにより、高品質な窒化物半導体薄膜を得ることができる。

【0044】方法の実施例2

本実施例は、有機金属気相成長(MOCVD)法を用いた、本発明に係る窒化物半導体層の成長方法の別の実施例である。以下に、図4及び図5を参照して、実施例2の方法を説明する。図4は実施例2の方法に従って第2の窒化物半導体層を製造する工程を説明する断面図であり、図5は実施例2の方法で形成した積層構造の断面図である。本実施例では、図2

(d)に示すように、実施例1で側壁保護膜20を形成した後、図4に示すように、凸部18の上面に上壁保護膜26を形成する。上壁保護膜26は、CVD法によって膜厚が0.2μmのSi₃N₄膜を形成した後、エッチングして形成したものである。次いで、再度、MOCVD装置の反応室内に試料をセットし、温度1050℃で、原料ガスにTMG、アンモニア及びシランガスを用い、図4に示すように、1×10¹⁸/cm²の濃度でSiをドーピングしたGa_{0.5}Nよりなる第2の窒化物半導体層28を5μmの膜厚で成長させる。

【0045】本実施例で得た図4に示す積層構造の欠陥分布は、図5に示すように、第2の窒化物半導体層28中には、図10に示す従来の窒化物半導体層のウェーリング部に発生していた転位Aや転位Bが観測され、更に実施例1の積層構造で観測された貫通転位24も観測される。これは、凸部内の高密度欠陥領域16の側面に側壁保護膜20によって覆われ、更に、凸部上面が上壁保護

図層26によって覆われているから、凸部18内の貫通部18内に閉じ込められているから、貫通部24が凸部18内に閉じ込められているからである。よって、本発明方法を適用することにより、極めて結晶欠陥密度が低い高品質な窒化物半導体薄膜を得ることができる。

【0046】方法の実施例3

本実施例は、有機金属気相成長 (MOCVD) 法を用いた、本発明に係る窒化物半導体層の成長方法の更に別の実施例である。本実施例の方法では、実施例2の方法で得られた図4に示す第2の窒化物半導体層28の上に、例えば、HVPE法によって、Siをドーパしたn型GaNを厚さ350μm程度成長させる。次いで、基板を製膜装置より取り出し、裏面からサファイア基板を機械研磨してサファイア基板を削除することにより、結晶欠陥密度の極めて少ないフリースタndenディングなGaN基板を得ることができる。

【0047】窒化物半導体素子の実施形態例

本実施形態例は、本発明に係る窒化物半導体素子の実施形態の例である。本実施形態例の窒化物半導体素子は、図2(c)に示すように、基板12上に形成された第1の窒化物半導体層14及び最底12の上層部からなる凸部18と基板12を露出させた凹部19とを有する凹凸構造を備えた基板面上に、凸部18の上部を埋め込むようにして構築された第2の窒化物半導体層22の積層構造を備えている。そして、本実施形態例では、凸部18の下部側面を覆う側壁保護層20が凸部18の下部側面に設けられている。

【0048】本実施形態例の窒化物半導体素子では、凸部18の高密度欠陥領域16の側面が側壁保護層20によって覆われ、ウイング部(凸部18同士の間部分)内では成長する転位の起端が側壁保護層20によって絶たれているので、ウイング部内の結晶欠陥密度が極めて低くなっている。

【0049】また、側壁保護層20に加えて、図4に示すように、凸部18の上面を覆う上壁保護層28を凸部18の上面に設けて、第2の窒化物半導体層28の結晶欠陥密度を更に低下させても良い。

【0050】窒化物半導体素子の実施例1
本実施例は、本発明に係る窒化物半導体素子をGaN系半導体レーザ素子として用いた一例の実施例である。以下、図6を参照して、実施例1のGaN系半導体レーザ素子の構成を説明する。本実施例のGaN系半導体レーザ素子30は、方法の実施例1の第2の窒化物半導体層22の上に、順次、成長させた、n側クラッド層32、n側光ガイド層34、活性層36、p型劣化防止層38、p側光ガイド層40、p側クラッド層42、及びp型コンタクト層44の積層構造を備えている。

【0051】第2の窒化物半導体層22はn側コンタクト層として形成されている。n側クラッド層32は、例えば、n型不純物としてSiを添加した、厚さが1μm

n型AlOGaN坩堝層である。n側光ガイド層34は、例えば、n型不純物としてSiを添加した、厚さが0.1μmのn型GaN層である。活性層36は、例えば、井戸層の厚さが3nmであり、バリア層の厚さが4nmの多量重子井戸構造を有するGaInN坩堝層として構成されている。

【0052】p型劣化防止層38は、p側光ガイド層40を含む上部構造を活性層36上に形成する際に、活性層36の劣化防止を防止するために設けてある。例えば、厚さが20nmのp型AlGaN層である。p側光ガイド層40は、例えば、p型不純物としてMgを添加した、厚さが0.1μmのp型GaN層である。p側クラッド層42は、例えば、p型不純物としてMgを添加した、厚さが0.5μmのp型AlGaN坩堝層。又はAlGaN層とGaN層とより成る超格子構造により構成されている。p側コンタクト層44は、例えば、p型不純物としてMgを添加した、厚さが0.1μmのp型GaN層である。

【0053】p側クラッド層42の上部とp側コンタクト層44とは、電流拡散するために、断面形状がテーパー状でストライプ構造の上部メサ構造として加工されており、更にメサ構造の上には、SiO₂などの絶縁材料よりなる絶縁層48が、p型コンタクト層44を露出させるのを除いて、形成されている。尚、上部メサ構造は、第2の窒化物半導体層22のウイング部上に形成されている。また、上述のストライプ状メサ構造を含めてその下のp側光ガイド層40、p型劣化防止層38、活性層36、n側光ガイド層34、及びn側クラッド層32は、更に上述のストライプ状メサ構造と同じ方向に延在するストライプ状の下部メサ構造として形成されている。

【0054】p側コンタクト層44側から順次積層されたPd/Pt/Au多層金属積層構造のp側電極46が、絶縁層48に設けた窓を介してp側コンタクト層44の上面に形成されている。下部メサ構造の露出した第2の窒化物半導体層22の上には、基板12に近い側からチタン(Ti)、アルミニウム(Al)及び金(Au)が順次積層された多層金属積層構造のn側電極50が設けられている。また、GaN系半導体レーザ素子は、図示しない、p側電極48の長さ方向(すなわち共振器長方向)と垂直な一対の側面に、反射鏡層がそれぞれ設けられている。

【0055】次に、図7を参照して、半導体レーザ素子30の製造方法を説明する。図7(a)から(c)は、それぞれ、実施例1のGaN系半導体レーザ素子30を製作する際の工程毎の様式的断面図である。先ず、方法の実施例1で説明したように、基板12の凹凸構造上に第2の窒化物半導体層22を成長させる。引き続き、MOCVD法により、図7(a)に示すように、第2の窒化物半導体層22上に、n側クラッド層32、n側光ガイド層34、活性層36、p側クラッド層42、及びp側コンタクト層44の積層構造を形成する。

造積層構造と基板12との間に、著しく低欠陥密度な第2の窒化物半導体層22を介在させているので、積層方向に伝播する殆どの貫通転位が第2の窒化物半導体層22によって中絶され、レーザ構造積層構造の貫通転位の密度が低くなっている。よって、結晶欠陥が少なく、非発光再結合が起こり難いので、光出力・注入電流密度特性が向上し、使用と共に動作電圧が上昇するような現象が抑制され、GaN系半導体レーザ素子の寿命が長く

なる。

【0061】このように、本実施例のGaN系半導体レーザ素子は、低欠陥密度の第2の窒化物半導体層22の介在により、上部のエピタキシャル成長層中の貫通転位の密度が著しく低いので、素子品質を高めることができる。と共に、使用による動作電圧の上昇を抑えることができ、素子寿命を長くすることができる。

【0062】本実施形態例及び実施例では、窒化物半導体素子としてGaN系半導体レーザ素子を例に挙げて説明したが、本発明は、LEDなどの他の半導体発光素子についても適用することができる。また、本発明は、半導体発光素子に加えて、FET(Field Effect Transistor; 電界効果トランジスタ)などの電子走行素子を含む他の半導体素子にも適用することができる。

【0063】

【発明の効果】本発明によれば、第3の工程で、高密度結晶欠陥領域が存在する第1の窒化物半導体層下部部を含む凸部下部の側面を覆う側壁保護層を形成することにより、従来のFS-ELO法に比べて、結晶欠陥密度が著しく低い、結晶性の良好な窒化物半導体層を成長させることができる。本発明によれば、凸部の下部側面を覆う側壁保護層が凸部の下部側面に設けられることにより、結晶性の良好な窒化物半導体層からなる素子構造を備え、素子特性が良好で、素子寿命の長い窒化物半導体素子を実現している。

【図面の簡単な説明】

【図1】図1(a)から(c)は、それぞれ、実施形態例及び実施例1の方法に従って窒化物半導体層を成長させる際の工程毎の様式的断面図である。

【図2】図2(d)と(e)は、それぞれ、図1(c)に続いて、実施形態例及び実施例1の方法に従って窒化物半導体層を成長させる際の工程毎の様式的断面図である。

【図3】実施例1の方法によって成長させた窒化物半導体層の結晶欠陥の分布を示す模式図である。

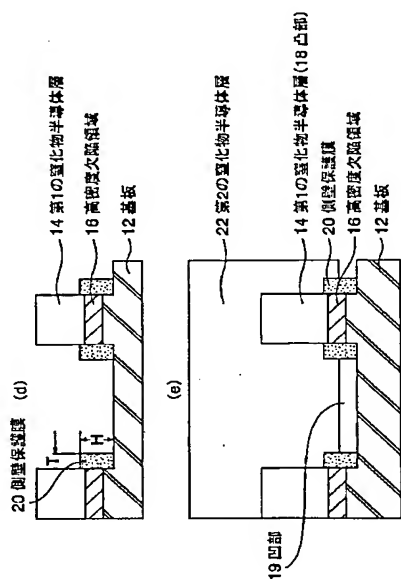
【図4】実施例2の方法に従って窒化物半導体層を成長させる工程での様式的断面図である。

【図5】実施例2の方法によって成長させた窒化物半導体層の結晶欠陥の分布を示す模式図である。

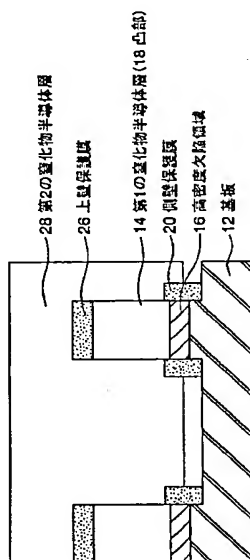
【図6】実施例1のGaN系半導体レーザ素子の構成を示す断面図である。

【図7】図7(a)から(c)は、それぞれ、実施例1

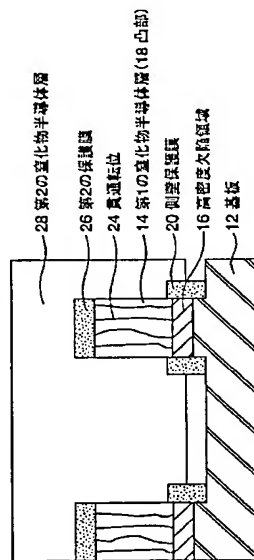
【図2】



【図4】



【図5】



のGa_{0.5}N系半導体レーザ素子を作製する際の工程毎の様式的断面図である。

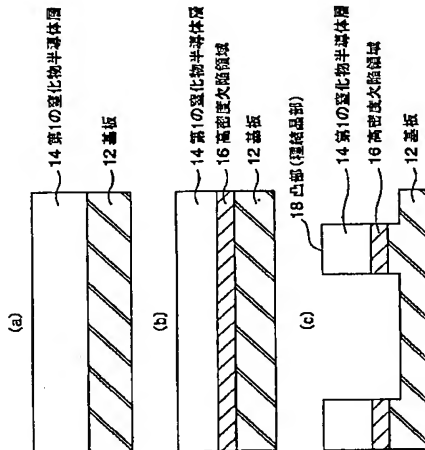
【図8】図8(a)から(c)は、それぞれ、従来のFS-ELO法によって窒化物半導体層を成長させる際の工程毎の様式的断面図である。

【図9】図8(c)に続いて、従来のFS-ELO法によって窒化物半導体層を成長させる工程での様式的断面図である。

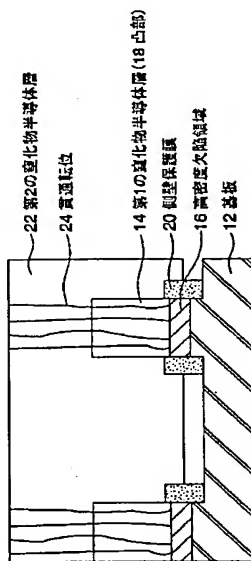
【図10】従来のFS-ELO法によって窒化物半導体層を成長させた窒化物半導体層の結晶欠陥の分布を示す様式図である。

【符号の説明】
12……基板、サファイア基板、14……第1の窒化物半導体層、16……高密度結晶欠陥領域、18……凸

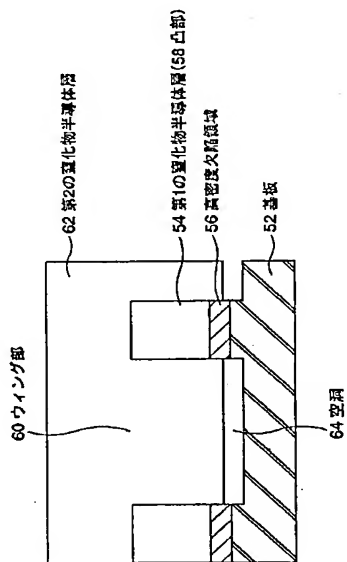
【図1】



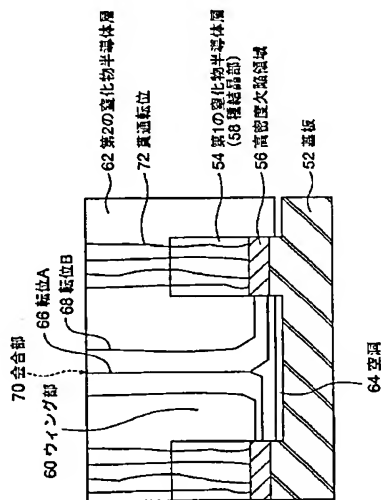
【図3】



【図9】



【図10】



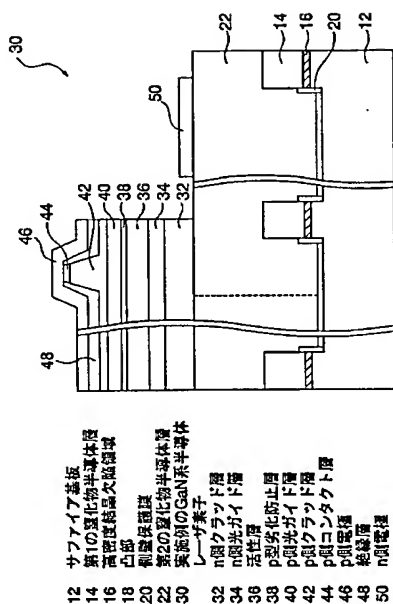
フロントページの続き

(72) 発明者 山口 恭司
東京都品川区北品川6丁目7番35号 ソニ
株式会社社内

Fターム(参考) 5F045 A004 AB14 AB15 AB17 AB18
AC08 AC12 AD13 AD14 AD15
AF02 AF04 AF09 B012 CA11
CA12 DA53 DA55 DB01 DB04
HA13

SF073 AA11 AA45 AA74 BA06 CA02
CA07 CB05 CB07 CB14 DA05
DA06 DA07 DA25 EA28

【図6】



【図7】

